

PAT-NO: JP407072508A
DOCUMENT-IDENTIFIER: JP 07072508 A
TITLE: THIN FILM TRANSISTOR PANEL
PUBN-DATE: March 17, 1995

INVENTOR-INFORMATION:
NAME
KONYA, NAOHIRO

ASSIGNEE-INFORMATION:
NAME COUNTRY
CASIO COMPUT CO LTD N/A

APPL-NO: JP05165965
APPL-DATE: June 14, 1993

INT-CL (IPC): G02F001/136, G02F001/1343 , H01L029/786

ABSTRACT:

PURPOSE: To prevent pit erosion in a terminal part of an upper layer line due to a defect of a protection insulating film by dividing the terminal part of at least the upper layer line between a lower layer line and the upper layer line into plural areas which succeed partially to one another.

CONSTITUTION: The terminal part 32a of the data line 32 wired on a gate insulating film 12 and an inter-layer insulating film 23 formed on a substrate is equally divided into two areas A1 and A2 by a slit 33 which is provided in the center of the terminal part and extends in the terminal length direction, and the divided areas A1 and A2 are connected to each other outside the end part of the slit 33. Thus, the terminal part 32a of the data line 32 is

divided into the two areas A1 and A2 which succeed partially to each other, so the widths W1 and W2 of the divided areas A1 and A2 of the terminal part 32a are small and, therefore, even when the protection insulating film 24 is formed by heat formation which gives excellent film quality, a projection such hillock and a whisker is not generated at the terminal part 32a at the time of the film formation.

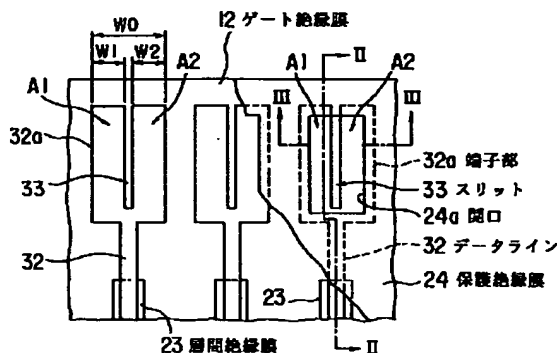
COPYRIGHT: (C)1995, JPO

(11)特許出願公開番号

(43)公開日 平成7年(1995)3月17日

審査請求 未請求 請求項の数 4 FD (全 9 頁)

東京都八王子市石川町2951番地の5 カシ
オ計算機株式会社八王子研究所内



1

【特許請求の範囲】

【請求項1】絶縁性基板の上に、薄膜トランジスタと、前記基板上に配線されて前記薄膜トランジスタにゲート信号またはデータ信号を供給する下層ラインと、前記基板上に形成した絶縁膜の上に配線されて前記薄膜トランジスタにデータ信号またはゲート信号を供給する上層ラインとを設けるとともに、前記上層ラインを保護絶縁膜で覆い、この保護絶縁膜に、前記上層ラインの端子部をその周縁部を除いて露出させる開口を形成した薄膜トランジスタパネルにおいて、

前記下層ラインと上層ラインとのうち少なくとも上層ラインの端子部を、局部的に互いに接続する複数の領域に分割したことを特徴とする薄膜トランジスタパネル。

【請求項2】保護絶縁膜は220～250℃で加熱成膜された絶縁膜であり、上層ラインの端子部の膜厚は200～350nm、この端子部の各分割領域の幅は50～40μm以下であることを特徴とする請求項1に記載の薄膜トランジスタパネル。

【請求項3】上層ラインの端子部は、その中央に設けた端子長さ方向に沿うスリットにより分割され、この各分割領域が、前記スリットの端部の外側において互いに連続していることを特徴とする請求項1または2に記載の薄膜トランジスタパネル。

【請求項4】上層ラインの端子部は、その周縁に沿わせて枠状に設けた少なくとも一部に非接続部を有するスリットにより中央の広幅領域と周縁の狭幅領域とに分割され、この各分割領域が、前記スリットの非接続部において互いに連続していることを特徴とする請求項1または2に記載の薄膜トランジスタパネル。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、薄膜トランジスタパネルに関するものである。

【0002】

【従来の技術】基板上に、薄膜トランジスタ(TFT)と、この薄膜トランジスタにゲート信号およびデータ信号を供給するアドレスラインおよびデータラインとを形成した薄膜トランジスタパネル(以下、TFTパネルという)は、例えばアクティブマトリックス液晶表示素子等に用いられている。

【0003】図12はアクティブマトリックス液晶表示素子に用いられている従来のTFTパネルの等価回路的平面図であり、このTFTパネルは、ガラス等からなる透明な絶縁性基板1の上に、複数の薄膜トランジスタ(以下、TFTと記す)10を行方向(横方向)および列方向(縦方向)に配列形成するとともに、各行のTFT10にそれぞれゲート信号を供給するアドレスライン21と、各列のTFT10にデータ信号を供給するデータライン22とを形成し、各TFT10にそれぞれ対応させて画素電極20を形成した構成となっている。

2

【0004】図13は上記TFTパネルの1つのTFT部分の断面図であり、上記TFT10は、基板1上に形成したゲート電極部11と、その上に形成したSiN(窒化シリコン)からなるゲート絶縁膜12と、このゲート絶縁膜12の上に前記ゲート電極11に対向させて形成したa-Si(アモルファスシリコン)からなるi型半導体膜13と、このi型半導体膜13の上に不純物をドーパしたa-Siからなるn型半導体膜14を介して形成したソース電極15およびドレイン電極16とで構成されている。なお、17はi型半導体膜13のチャンネル領域の上に設けられたSiNからなるブロッキング膜である。

【0005】このTFT10は逆スタガー構造と呼ばれるものであり、TFT10を逆スタガー構造としたTFTパネルでは、上記アドレスライン21を基板1上に配線し、このアドレスライン21にTFT10のゲート電極11を一体に形成している。なお、上記アドレスライン21とゲート電極11は、基板1面との段差を小さくするために、できるだけ薄く形成されており、また、このアドレスライン21とゲート電極11の表面は、上記ゲート絶縁膜12の絶縁耐圧を補うために、上記端子部21aを除いて陽極酸化されている。図13において、aは前記陽極酸化により生成された酸化膜である。

【0006】また、上記TFT10のゲート絶縁膜12は、基板1のほぼ全面にわたって形成されており、上記アドレスライン21は前記ゲート絶縁膜12で覆われている。そして、画素電極(透明電極)20は、TFT10の側方に位置させてゲート絶縁膜(透明膜)12の上に形成されており、この画素電極20は、その一端縁部においてTFT10のソース電極15に接続されている。

【0007】さらに、上記TFT10は、SiNからなる層間絶縁膜23によって覆われている。この層間絶縁膜23は、TFT形成部からデータライン配線部にわたって形成されており、データライン22は前記層間絶縁膜23の上に配線され、この層間絶縁膜23に設けたコンタクト孔23aにおいてTFT10のドレイン電極16に接続されている。

【0008】そして、上記データライン22は、SiNからなる保護絶縁膜24によって覆われており、その端子部22aは、前記保護絶縁膜24に開口を形成することによって露出されている。

【0009】図14は従来のTFTパネルにおけるデータライン端子部の平面図、図15は図14のXV-XV線に沿う断面図であり、保護絶縁膜24に設ける端子部露出開口24aは、データライン端子部22aの周縁部からの腐食を防ぐために、この端子部22aをその周縁部を除いて露出させる大きさに形成されている。

【0010】すなわち、端子部22aの全体が露出している場合を考えると、端子部22aの表面はこの端子部

22aに駆動回路を接続することによって覆われるため、端子部22aの表面側からの腐食は発生しないが、端子部22aの周縁部は剥き出しになっているため、長期間のうちに空気中の湿気によって端子部22aがその周縁部から腐食してゆき、この腐食の進行により、ついには駆動回路との接続不良を発生する。

【0011】そこで、このTFTパネルでは、保護絶縁膜24に設ける端子部露出開口24aを上記のような大きさに形成して、端子部22aの周縁部を保護絶縁膜24で覆い、端子部22aの周縁部からの腐食を防いでい

る。
【0012】なお、このTFTパネルでは、図14および図15に示したように、データライン端子部22aの形成部には上記層間絶縁膜23を形成せず、データライン22の端子部22aをゲート絶縁膜12の上に形成している。

【0013】また、上記保護絶縁膜24は、一般に、基板1のほぼ全面にわたって、各画素電極20に対応する部分にそれぞれ開口を形成した格子状パターンに形成されており、データライン22だけでなくTFT10およびアドレスライン21の形成部も覆っている。

【0014】そして、アドレスライン21の端子部21aは、図示しないが、上記ゲート絶縁膜12と前記保護絶縁膜24とに開口を設けることによって露出されている。なお、ゲート絶縁膜12と保護絶縁膜24に設ける端子部露出開口のいずれか一方または両方は、前記端子部21aの周縁部からの腐食を防ぐために、端子部21aをその周縁部を除いて露出させる大きさに形成されており、したがって、アドレスライン21の端子部21aも、その周縁部をゲート絶縁膜12と保護絶縁膜24との少なくとも一方で覆われている。

【0015】ところで、上記TFTパネルにおいては、アドレスライン21およびデータライン22のライン抵抗を小さくするために、これらライン21、22を、低抵抗のAl（アルミニウム）系金属、例えばAlにTi（チタン）またはTa（タンタル）等の高融点金属を微量（数重量%）含有させたAl系合金で形成されている。

【0016】また、上記アドレスライン21とデータライン22とのうち、下層のライン、つまり基板1上に配線するアドレスライン21は、上述したように、基板1面との段差を小さくするために薄く形成されるが、上層のライン、つまり層間絶縁膜23の上に配線するデータライン22は、ライン抵抗をより小さくするために、ある程度厚く形成されている。

【0017】

【発明が解決しようとする課題】しかし、上記従来のTFTパネルは、その製造工程の最後に形成される保護絶縁膜24の成膜時に、データライン22の端子部22aの表面にヒロックやホイスカ等の突起Pが図15に示し

たように発生するという問題をもっている。

【0018】これは、Al系の金属膜を数百℃に加熱するとその表面が荒れるためであり、保護絶縁膜24の成膜は、一般に、半導体膜の特性を変化させないために、プラズマCVD装置により基板温度220～250℃で行なわれているが、この保護絶縁膜24の成膜時に、Al系金属膜からなるデータライン22の端子部22aの表面に上記突起Pが発生する。

【0019】この突起Pの発生は、加熱によって金属膜に生ずる内部応力の緩和現象、つまり、金属膜に生じた内部応力が金属膜の弱い部分に集中してこの部分の表面が盛り上がる現象によると考えられており、この突起Pは主に金属膜のエッジ部付近に生じている。

【0020】なお、加熱によって金属膜に生ずる内部応力は、金属膜の膜厚および幅が大きいほど大きく、したがって上記突起Pは、データライン22のうち、幅が極く小さいライン部分には発生しないが、端子部22aはその幅Wが100～120μmと広いため、この端子部22aに突起Pが発生する。

【0021】そして、端子部22aに突起Pが発生すると、成膜された保護絶縁膜24が図15に示したように突起Pで突き破られて、この部分に欠陥が生じるため、長期間のうちに、端子部22aが保護絶縁膜24の欠陥部分から腐食してゆき、この孔食の進行により、ついには駆動回路との接続不良を発生する。

【0022】なお、ゲート絶縁膜12とブロッキング絶縁膜17および層間絶縁膜23は、上記保護絶縁膜24と同様に、プラズマCVD装置により上述した基板温度（220～250℃）で成膜されており、したがって、基板1上に配線されたアドレスライン21は、これら絶縁膜12、17、23および保護絶縁膜24の成膜時にその都度加熱されるが、このアドレスライン21の膜厚は、基板1面との段差を小さくするためにできるだけ薄くされており、従来のTFTパネルでは、アドレスライン21の端子部21aもライン部分と同じ厚さにしているため、アドレスライン21の端子部21aには上記突起Pは発生しない。

【0023】このため、従来のTFTパネルでは、アドレスライン21の端子部21aには上述した孔食は生じないが、データライン22の端子部22aの孔食が進行して駆動回路との接続不良を発生すると、TFTパネルが、印加するデータ信号に対し正常に動作しなくなつて、液晶表示素子の寿命が尽きてしまう。

【0024】なお、上記TFTパネルは、TFT10を逆スタガー構造としたものであるが、上述した突起の発生による端子部の孔食は、TFTを他の構造としているTFTパネルにおいても生じている。

【0025】すなわち、TFTの構造には、逆スタガー構造の他に、スタガー構造、コプラナー構造、逆コプラナー構造等があり、TFTをスタガー構造またはコプラ

5

ナー構造としたTFTパネルでは、TFTパネルにデータ信号を供給するデータラインを基板上に配線し、ゲート信号を供給するアドレスラインを基板上に形成した絶縁膜の上に配線している。また、TFTを逆コプラナー構造としたTFTパネルでは、上記TFTパネルと同様に、アドレスラインを基板上に配線し、データラインを基板上に形成した絶縁膜の上に配線している。

【0026】そして、従来は、これらのTFTパネルにおいても、基板上に配線する下層ラインは基板面との段差を小さくするためにできるだけ薄くし、その端子部も同じ厚さにしているため、この下層ラインの端子部には上記突起は発生しないが、上層ラインはある程度厚く形成されているため、保護絶縁膜の成膜時に上層ラインの端子部に突起が発生し、この突起により保護絶縁膜に欠陥が生じて、上層ラインの端子部に孔食が発生する。

【0027】このため、従来から、保護絶縁膜の成膜時に上層ラインの端子部に突起を発生させないように、プラズマCVD装置による保護絶縁膜の成膜を、ほとんど加熱せずに行なうことが考えられているが、このようにして成膜した絶縁膜は、その膜質が粗で、保護絶縁膜としての信頼性に欠けるという問題をもっている。

【0028】本発明の目的は、保護絶縁膜の成膜を良好な膜質が得られる加熱成膜で行なっても、その成膜時に上層ラインの端子部に突起が発生することはないTFTパネルを提供することにある。

【0029】

【課題を解決するための手段】本発明は、絶縁性基板の上に、薄膜トランジスタと、前記基板上に配線されて前記薄膜トランジスタにゲート信号またはデータ信号を供給する下層ラインと、前記基板上に形成した絶縁膜の上に配線されて前記薄膜トランジスタにデータ信号またはゲート信号を供給する上層ラインとを設けるとともに、前記上層ラインを保護絶縁膜で覆い、この保護絶縁膜に、前記上層ラインの端子部をその周縁部を除いて露出させる開口を形成した薄膜トランジスタパネルにおいて、前記下層ラインと上層ラインとのうち少なくとも上層ラインの端子部を、局部的に互いに接続する複数の領域に分割したことを特徴とするものである。

【0030】なお、良好な膜質の保護絶縁膜を得るには、この保護絶縁膜を220～250℃で成膜することが望ましく、また、上層ラインのライン抵抗を小さくするには、この上層ラインおよびその端子部の膜厚を、200～350nmの厚さにするのが望ましいが、その場合は、前記端子部の各分割領域の幅を50～40μm以下にすればよい。

【0031】また、上層ラインの端子部の例は、その中央に設けた端子長さ方向に沿うスリットにより分割され、この各分割領域が前記スリットの端部の外側において互いに接続しているもの、あるいは、端子部の周縁に沿わせて棒状に設けた少なくとも一部に非接続部を有す

6

るスリットにより中央の広幅領域と周縁の狭幅領域とに分割され、この各分割領域が前記スリットの非接続部において互いに接続しているもの等でもよい。

【0032】

【作用】本発明のTFTパネルによれば、上層ラインの端子部を、局部的に互いに接続する複数の領域に分割しているため、この端子部の各分割領域の幅は小さく、したがって、保護絶縁膜の成膜を良好な膜質が得られる加熱成膜で行なっても、その成膜時に上層ラインの端子部に突起が発生することはない。

【0033】

【実施例】以下、本発明をアクティブマトリックス液晶表示素子に用いられるTFTパネルに適用した実施例を図面を参照して説明する。

【0034】図1～図9は本発明の第1の実施例を示しており、図1はTFTパネルのデータライン端子部の平面図、図2は図1のII-II線に沿う断面図、図3は図1のIII-III線に沿う断面図である。また、図4はTFTパネルのアドレスライン端子部の平面図、図5は図4のV-V線に沿う断面図、図6は図4のVI-VI線に沿う断面図である。なお、この実施例のTFTパネルは、TFTを逆スタガー構造としたものであり、このTFTは図13に示したものと同じであるから、その説明は省略する。

【0035】まず、図1～図3に示したデータライン端子部について説明する。なお、図1～図3において、図14および図15に示した従来のTFTパネルと対応するものには同符号を付し、重複する説明を省略する。

【0036】この実施例のTFTパネルは、基板1上に形成したゲート絶縁膜12および層間絶縁膜23の上に配線するデータライン32の端子部32aを、その中央に設けた端子長さ方向に沿うスリット33により2つの領域A1、A2に均等分割し、この各分割領域A1、A2を前記スリット33の端部の外側において互いに接続させた形状としたものである。

【0037】なお、この実施例では、上記スリット33を、その一端が端子部32aの外端縁（ライン部につながる側の縁部に対して反対側の縁部）に開放させて、端子部32aの長さより僅かに短い長さに形成し、上記各分割領域A1、A2を、端子部32aのライン部側縁部において局部的に接続させている。

【0038】また、上記データライン32は、A1にTiまたはTa等の高融点金属を数重量%含有させたAl系合金等のAl系金属膜からなっており、そのライン部は極く小さい幅（20～40μm程度）に形成され、端子部32aはその全幅W0が100～120μmの広幅部とされている。

【0039】そして、上記データライン32は、従来のTFTパネルと同様に、SiN等からなる保護絶縁膜24で覆われており、データライン32の端子部32a

は、前記保護絶縁膜24に開口24aを設けることによって露出されている。この開口24aは、前記端子部32aをその周縁部を除いて露出させる大きさに形成されており、端子部32aは、その周縁部を保護絶縁膜24で覆われて、周縁部からの腐食を防止されている。

【0040】このTFTパネルにおいては、上記データライン32の端子部32aを、局部的に互いに連続する2つの領域A1、A2に分割しているため、この端子部32aの各分割領域A1、A2の幅W1、W2は小さく、したがって、保護絶縁膜24の成膜を良好な膜質が得られる加熱成膜で行なっても、その成膜時に前記端子部32aにヒロックやホイスカ等の突起が発生することはない。

【0041】上記端子部32aの各分割領域A1、A2の幅W1、W2は、端子部32aの膜厚と、保護絶縁膜24の成膜温度（基板温度）とに応じて、次のように選ばれよう。

【0042】すなわち、図7～図9は、A1にTiまたはTaを約5重量%含有させたAl系合金からなる金属膜で形成したラインを加熱して、上記突起の発生を調べた結果を示している。

【0043】図7は、上記金属膜のライン幅を50μmとし、その膜厚を350nmとしたときの、加熱温度と発生突起数との関係を示しており、この場合は、220℃以下の加熱温度では突起は発生せず、加熱温度が220℃を越えると突起が発生し、この突起の数が加熱温度を高くするのにもなって増加する。

【0044】図8は、加熱温度を250℃とし、金属膜のライン幅を50μmとしたときの、金属膜の膜厚と発生突起数との関係を示しており、この場合は、膜厚が200nm以下では突起は発生せず、膜厚が200nmを越えると突起が発生し、この突起の数が膜厚を厚くするのにもなって増加する。

【0045】図9は、加熱温度を250℃とし、金属膜の膜厚を350nmとしたときの、金属膜のライン幅と発生突起数との関係を示しており、この場合は、ライン幅が40μm以下では突起は発生せず、ライン幅が40μmを越えると突起が発生し、この突起の数がライン幅を大きくするのにもなって増加する。

【0046】一方、SiN等からなる保護絶縁膜24をプラズマCVD装置により成膜する場合、良好な膜質に絶縁膜を得るには、この保護絶縁膜24を、220～250℃で成膜することが望ましく、また、データライン32のライン抵抗を小さくするには、このデータライン32およびその端子部32aの膜厚を、200～350nmとある程度厚くするのが望ましい。

【0047】この条件を満足し、しかも保護絶縁膜24の成膜時に端子部32aに突起を発生させないようにするには、上記端子部32aの各分割領域A1、A2の幅W1、W2を50～40μm以下にすればよい。

【0048】すなわち、例えばデータライン32およびその端子部32aの膜厚を350nmとし、保護絶縁膜24を220℃で成膜する場合は、図7に示した加熱温度と突起数の関係のように、ライン幅が50μm以下であれば突起は発生しないため、この場合は、上記端子部32aの各分割領域A1、A2の幅W1、W2を50μm以下にすればよい。

【0049】これは、データライン32およびその端子部32aの膜厚を200nmとし、保護絶縁膜24を250℃で成膜する場合も同様であり、この場合も、図8に示した膜厚と突起数の関係のように、ライン幅が50μm以下であれば突起は発生しないため、上記端子部32aの各分割領域A1、A2の幅W1、W2を50μm以下にすればよい。

【0050】また、データライン32およびその端子部32aの膜厚を350nmとし、保護絶縁膜24を250℃で成膜する場合は、図9に示したライン幅と突起数の関係のように、ライン幅が40μm以下であれば突起は発生しないから、この場合は、上記端子部32aの各分割領域A1、A2の幅W1、W2を40μm以下にすればよい。

【0051】なお、データライン32およびその端子部32aの膜厚を200nmとし、保護絶縁膜24を220℃で成膜する場合は、端子部32aの各分割領域A1、A2の幅W1、W2を50μmより若干大きくしても突起はほとんど発生しないが、この場合にも分割領域A1、A2の幅W1、W2を50μm以下にすれば、より完全に突起の発生をなくすることができる。

【0052】そして、このTFTパネルによれば、保護絶縁膜24の成膜を良好な膜質が得られる加熱成膜で行なっても、その成膜時にデータライン32の端子部32aに突起が発生することはないため、従来のTFTパネルのように、成膜された保護絶縁膜突起で突き破られて欠陥を生じ、長期間のうちに保護絶縁膜の欠陥部分からの孔食によりデータラインの端子部が腐食して、駆動回路との接続不良を発生することはない。

【0053】次に、図4～図6に示したアドレスライン端子部について説明すると、この実施例では、基板1上に配線するアドレスライン31の端子部31Aを、駆動回路との接続抵抗を小さくするために、アドレスライン31と一体に形成した下層端子膜31aの上に、上記データライン32と同じ金属膜からなる上層端子膜31bを積層した二層膜構造としている。

【0054】なお、前記上層端子膜31bは、アドレスライン31を覆って形成したゲート絶縁膜12に上記下層端子膜31aをその周縁部を除いて露出させる開口12aを形成し、その後データライン用金属膜（200～350nmの膜厚のAl系金属膜）をスパッタ装置等により成膜して、この金属膜をフォトリソグラフィ法によりパターニングする方法で形成されたものであり、こ

の上層端子膜31bは、ゲート絶縁膜12に設けた開口12aに形成されるため、その外形は上記下層端子膜31aの外形より僅かに小さくなっている。

【0055】また、上記アドレスライン31は、AlにTiまたはTa等の高融点金属を数重量%含有させたAl系合金等のAl系金属膜からなっており、そのライン部は極く小さい幅(20~40μm程度)に形成され、下層端子膜31a部分はその全幅が100~120μmの広幅部とされている。なお、このアドレスライン31は、基板1面との段差を小さくするために、150nm

程度の薄い膜厚に形成されており、またそのライン部の表面には陽極酸化膜aが生成されている。

【0056】そして、上記下層端子膜31aとその上に積層した上層端子膜31bとからなるアドレスライン端子部31Aは、上記データライン32の端子部32aと同様に、その中央に設けた端子長さ方向に沿うスリット34により、それぞれの幅が50~40μm以下の2つの領域B1、B2に均等分割されている。

【0057】なお、上記スリット34は、上記データライン用金属膜をパターニングする際に同時に形成されたものであり、このスリット34は、下層端子膜31aと上層端子膜31bとの両方に同じ形状に形成されている。

【0058】また、このアドレスライン31の端子部31Aは、保護絶縁膜24に開口24bを設けることによって露出されている。この開口24bは、前記端子部31Aをその周縁部を除いて露出させる大きさに形成されており、端子部31Aは、その周縁部を保護絶縁膜24で覆われて周縁部からの腐食を防止されている。

【0059】このTFTパネルにおいては、上記アドレスライン31の端子部31Aを、Al系金属膜からなる下層端子膜31aと上層端子膜31bとの二層膜構造としているが、保護絶縁膜24の成膜を良好な膜質が得られる加熱成膜で行なっても、その成膜時に前記端子部32aにヒロックやホイスカ等の突起が発生することはない。

【0060】すなわち、上記端子部31Aの下層端子膜31aは、アドレスライン31に一体に形成された、膜厚が150nm程度の薄い膜であり、Al系金属膜の膜厚がこの程度であれば、保護絶縁膜24を220~250℃で加熱成膜しても突起が発生することはない。なお、この実施例では、この下層端子膜31aもスリット34により2つの領域B1、B2に分割しているが、この下層端子膜31aを複数の領域に分割しておかなくても、突起の発生はない。

【0061】また、上記下層端子膜31aは、TFTパネルの製造過程において、ゲート絶縁膜12、図13に示したブロッキング絶縁膜17、層間絶縁膜23を成膜する際にもその成膜温度(220~250℃)に加熱されるが、これら絶縁膜の成膜時にも、下層端子膜31a

に突起が発生することはない。

【0062】一方、上記端子部31Aの上層端子膜31bは、データライン32と同じ膜厚(200~350nm)の膜厚のAl系金属膜であるが、この上層端子膜31bは、スリット34により2つの領域B1、B2に分割されているため、その各分割領域A1、A2の幅は小さく(50~40μm以下)、したがって、上述したデータライン32の端子部32aと同様に、保護絶縁膜24の成膜時に突起が発生することはない。

【0063】なお、上記実施例では、アドレスライン31の端子部31Aを、下層端子膜31aの上に上層端子膜31bを積層した二層膜構造としているが、この端子部31Aは、アドレスライン31と一体に形成した膜厚が150nm程度の下層端子膜31aだけからなる単層膜としてもよく、その場合は、アドレスライン31の端子部31aを分割しなくても、この端子部31aには突起は発生しないから、少なくともデータライン32の端子部32aを分割すればよい。

【0064】また、上記実施例では、データライン32の端子部32aを、その中央に設けた端子長さ方向に沿うスリット33、34により2つの領域A1、A2に分割しているが、この端子部32aの分割形状は任意でよく、要は、端子部が、局部的に互いに連続する複数の領域に分割されていけばよい。なお、この場合も、保護絶縁膜24は220~250℃で加熱成膜し、上層ラインであるデータライン32は200~350nmの膜厚にするのが望ましいため、端子部の各分割領域の幅は50~40μm以下にすればよい。

【0065】図10および図11は本発明の第2の実施例を示しており、図10はTFTパネルのデータライン端子部の平面図、図11は図10のXI-XI線に沿う断面図である。なお、図10および図11において、図1~図3に示したものと対応するものについては、図に同符号を付してその説明を省略する。

【0066】この実施例は、データライン32の端子部32aを、その周縁に沿わせて枠状に設けた4箇所に非連続部36を有するスリット35により中央の広幅領域C1と周縁の狭幅領域C2とに分割され、この各分割領域C1、C2が前記スリット35の各非連続部36において互いに連続している形状とし、前記中央の広幅領域C1の幅W3を50~40μm以下、周縁の狭幅領域C2の幅W4、W5をそれぞれ10~15μm程度にしたものである。

【0067】なお、この実施例では、端子部32aの周縁に沿わせて枠状に設けるスリット35を、4箇所に非連続部36を有するものとしたが、このスリット35は、少なくとも一部に非連続部を有していればよい。

【0068】また、上記実施例のTFTパネルは、TFTを逆スタガー構造としたものであるが、本発明は、TFTを、スタガー構造、コプラナー構造、逆コプラナー

11

構造等としたTFTパネルにも適用できるもので、その場合も、基板上に配線する下層ライン（TFTをスタガー構造またはコプラナー構造としたTFTパネルではデータライン、TFTを逆コプラナー構造としたTFTパネルではアドレスライン）と、基板上に形成した絶縁膜の上に配線する上層ライン（TFTをスタガー構造またはコプラナー構造としたTFTパネルではアドレスライン、TFTを逆コプラナー構造としたTFTパネルではデータライン）とのうち、少なくとも、ある程度厚く形成される上層ラインの端子部を、局部的に互いに接続する複数の領域に分割すればよい。

【0069】

【発明の効果】本発明のTFTパネルは、その下層ラインと上層ラインとのうち少なくとも上層ラインの端子部を、局部的に互いに接続する複数の領域に分割したものであるから、保護絶縁膜の成膜を良好な膜質が得られる加熱成膜で行なっても、その成膜時に上層ラインの端子部に突起が発生することはなく、したがって、前記突起により保護絶縁膜に欠陥が生じて上層ラインの端子部に孔食が発生するのを防止することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示すTFTパネルのデータライン端子部の平面図。

【図2】図1のII-II線に沿う断面図。

【図3】図1のIII-III線に沿う断面図。

【図4】TFTパネルのアドレスライン端子部の平面図。

【図5】図4のV-V線に沿う断面図。

【図6】図4のVI-VI線に沿う断面図。

【図7】金属膜のライン幅を $50\mu\text{m}$ とし、その膜厚を 350nm としたときの、加熱温度と発生突起数との関

12

係を示す図。

【図8】加熱温度を 250°C とし、金属膜のライン幅を $50\mu\text{m}$ としたときの、金属膜の膜厚と発生突起数との関係を示す図。

【図9】加熱温度を 250°C とし、金属膜の膜厚を 350nm としたときの、金属膜のライン幅と発生突起数との関係を示す図。

【図10】本発明の第2の実施例を示すTFTパネルのデータライン端子部の平面図。

【図11】図10のXI-XI線に沿う断面図。

【図13】従来のTFTパネルの等価回路的平面図。

【図14】従来のTFTパネルにおけるデータライン端子部の平面図。

【図15】図14のXV-XV線に沿う断面図。

【符号の説明】

1…基板

12…ゲート絶縁膜

23…層間絶縁膜

24…保護絶縁膜

24a, 24b…開口

31…アドレスライン

a…陽極酸化膜

31A…端子部

31a…下層端子膜

31b…上層端子膜

32…データライン

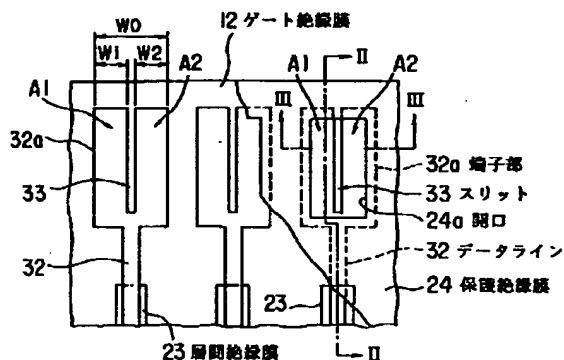
32a…端子部

33, 34, 35…スリット

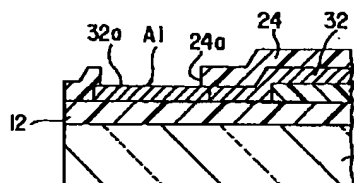
36…非連続部

A1, A2, B1, B2, C1, C2…分割領域

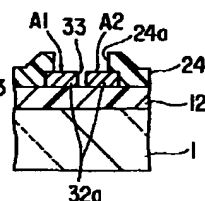
【図1】



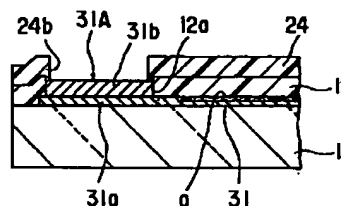
【図2】



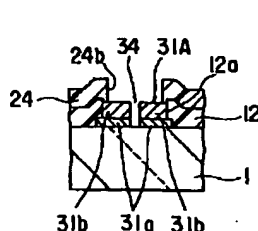
【図3】



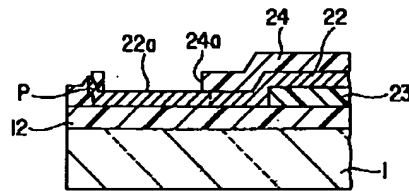
【図5】



【図6】



【図15】



【手続補正書】

【提出日】平成6年3月25日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】図面の簡単な説明

【補正方法】変更

【補正内容】

【図面の簡単な説明】

【図1】本発明の第1の実施例を示すTFTパネルのデータライン端子部の平面図。

【図2】図1のI-I線に沿う断面図。

【図3】図1のI-I-I-I線に沿う断面図。

【図4】TFTパネルのアドレスライン端子部の平面図。

【図5】図4のV-V線に沿う断面図。

【図6】図4のV-I-V-I線に沿う断面図。

【図7】金属膜のライン幅を50μmとし、その膜厚を350nmとしたときの、加熱温度と発生突起数との関係を示す図。

【図8】加熱温度を250℃とし、金属膜のライン幅を50μmとしたときの、金属膜の膜厚と発生突起数との関係を示す図。

【図9】加熱温度を250℃とし、金属膜の膜厚を350nmとしたときの、金属膜のライン幅と発生突起数との関係を示す図。

【図10】本発明の第2の実施例を示すTFTパネルの

データライン端子部の平面図。

【図11】図10のX-I-X-I線に沿う断面図。

【図12】従来のTFTパネルの等価回路的平面図。

【図13】従来のTFTパネルの1つのTFT部分の断面図。

【図14】従来のTFTパネルにおけるデータライン端子部の平面図。

【図15】図14のX-V-X-V線に沿う断面図。

【符号の説明】

1…基板

12…ゲート絶縁膜

23…層間絶縁膜

24…保護絶縁膜

24a, 24b…開口

31…アドレスライン

a…陽極酸化膜

31A…端子部

31a…下層端子膜

31b…上層端子膜

32…データライン

32a…端子部

33, 34, 35…スリット

36…非接続部

A1, A2, B1, B2, C1, C2…分割領域